

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number:

08234861 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 07039872

(51) Intl. Cl.: G06F 1/04

(22) Application date: 28.02.95

(30) Priority:

(43) Date of application
publication: 13.09.96(84) Designated
contracting states:

(71) Applicant: FUJITSU LTD

(72) Inventor: KUMAMOTO NORICHIKA
UCHIJIMA MAKOTO

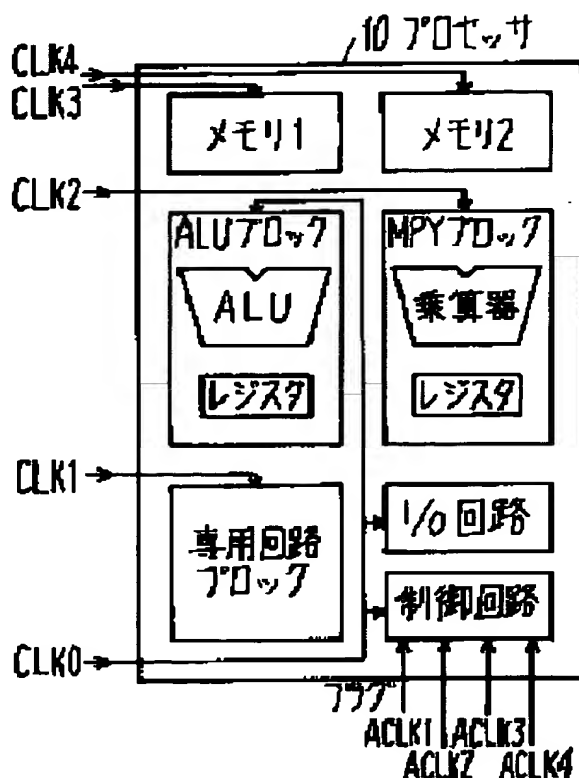
(74) Representative:

(54) POWER CONSUMPTION
REDUCED PROCESSOR

(57) Abstract:

PURPOSE: To provide the power consumption reduced processor with which power consumption inside the processor is reduced by providing a means for making the different clock inputs of plural circuit blocks valid or invalid outside the processor.

CONSTITUTION: Outside a processor 10 for program processing, the means for making different clock inputs CLK1-CLK4 of plural circuit blocks 1-4 in the processor 10 valid or invalid (such as the means for adding flags ACLK1-ACLK4 of a code '1' in the case of making them valid or a code '0' in the case of making them invalid to the respective clock inputs CLK1-CLK4) is provided. Then, the clocks are supplied or stopped corresponding to the 1/0 of the flags ACLK1-ACLK4 added to the clocks CLK1-CLK4 inputted from the outside of the processor 10. Thus, only the circuit block required for an application program to be executed can be operated.



COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-234861

(43)公開日 平成8年(1996)9月13日

(51)IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/04	3 0 1		G 0 6 F 1/04	3 0 1 C

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21)出願番号 特願平7-39872

(22)出願日 平成7年(1995)2月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 熊本 乃親

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 内島 誠

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 井桁 貞一

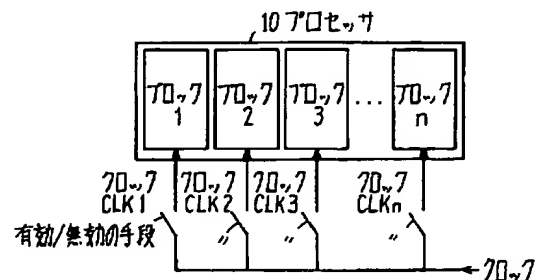
(54)【発明の名称】 低消費電力プロセッサ

(57)【要約】

【目的】 デジタル信号処理プロセッサ(DSP)などのプログラム処理のプロセッサに関し、其の低消費電力化を目的とする。

【構成】 プログラムを処理するプロセッサ(10)の複数の回路ブロック(1~n)の別々のクロック入力(CLK1 ~CLKn)を、有効にするか無効にするかの手段(例えば各クロック入力に対し符号 0/1のフラグACLK1 ~ACLKn を付加する手段)を該プロセッサの外部に具えるように構成する。

本発明の低消費電力プロセッサの基本構成を示す原理図
(請求項1に対応するもの)



【特許請求の範囲】

【請求項1】 プログラムを処理するプロセッサ(10)の複数の回路ブロック(1~n)の別々のクロック入力(CLK1~CLKn)を、有効又は無効とする手段を該プロセッサの外部に具えたことを特徴とする低消費電力プロセッサ。

【請求項2】 前記クロック入力(CLK1~CLKn)を有効又は無効とする手段が、該プロセッサ(10)の外部から該プロセッサの制御回路へ入力する符号"1"又は"0"のフラグ(ACLK1~ACLKn)であることを特徴とする請求項1記載の低消費電力プロセッサ。

【請求項3】 前記プロセッサ(10)の複数の回路ブロック(1~n)の中の動作を停止された回路ブロックが出力データを有する場合は、該停止された回路ブロックの出力データを常に或る定数値とすることを特徴とする請求項1記載の低消費電力プロセッサ。

【請求項4】 前記プロセッサ(10)の複数の回路ブロック(1~n)の中の動作を停止された回路ブロックが入力データと出力データとを有する場合は、該出力データを該入力データのの一つと同じ値とすることを特徴とする請求項1記載の低消費電力プロセッサ。

【請求項5】 前記プロセッサ(10)の複数の回路ブロック(1~n)の中の動作を停止された回路ブロックの処理分を、他の回路ブロックを利用して処理する命令列を、該プロセッサ(10)の内部に保持し、該停止された回路ブロックが処理すべき命令がデコードされた場合は、代わりに其の命令列を処理することにより、該停止された回路ブロックと同一の処理を実現することを特徴とする請求項1記載の低消費電力プロセッサ。

【請求項6】 前記プロセッサ(10)の命令デコーダの内部にマイクロプログラムを有し、停止された回路ブロックが処理すべき命令が他の回路ブロックを利用して実行された時に、マイクロプログラムにより該停止された回路ブロックと同一の処理を実現することを特徴とする請求項1記載の低消費電力プロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル信号処理プロセッサ(DSP)などのプログラム処理のプロセッサの低消費電力化に関する。近年、移動無線端末やマルチメディア携帯端末などの実時間処理が要求される分野において、低コストで且つ複雑なアルゴリズムに対応するデジタル信号処理プロセッサ(DSP)などのプログラム処理のプロセッサが、広く使用されている。ところが、此の様な分野では、其のプロセッサを持つ機器を人間が携帯する上から、簡便な電池により駆動されるものが多く、其の機器を長時間動作させる為には、其の構成部品の低消費電力化が必要である。このため、プロセッサも其の消費電力の低減化が必要である。

【0002】

【従来の技術】 従来の低消費電力プロセッサは、特開昭

63-30920号公報の C-MOS化 CPU回路の様に、消費電力の高低による2モードの切替を設けて、低消費電力のモードでは其のクロック周波数を下げたり、使用しない回路ブロックは動作を休止し待機させるスリープモードでは、外部とのインタフェース回路以外の回路ブロックへのクロックの供給を停止することにより、CPU 全体の消費電力を低減させていた。また、特開平4-127210号の様に、命令プログラムのコードをデコードして、動作に関与する回路ブロックのみにクロックを供給することにより、プロセッサの消費電力を低減していた。また、特開昭58-51325、特開平4-123116、特開平4-287105の様に、プロセッサ内の、必要な回路ブロックに対応する外部端子にクロックを入力するかしない(接地又は電源Vccに接続する)かを選択する選択回路を内蔵することにより、プロセッサの消費電力を低減していた。

【0003】

【発明が解決しようとする課題】 例えばデジタル信号処理プロセッサDSP等の様に、特別のアプリケーションに専用の回路ブロックを有しているプロセッサは、実現するアプリケーションによっては、全く使用しない回路ブロック若しくは殆んど使用しない回路ブロックが存在する。この様な場合、従来のプロセッサは、上記の2モードを切替える方法では、主として外部とのインタフェース回路を除く全ての回路ブロックの動作を停止することが多く、或る特定の回路ブロックを停止する為には、停止する回路ブロックの数だけ、モード切替の命令及び切替え回路を必要とし、プロセッサ内部のハードウェアの増加や処理速度の低下を惹き起してしまう。また、命令プログラムをデコードして、使用する回路ブロックのみにクロックを供給し、未使用の回路ブロックにはクロックを供給しない方法では、全く使用しない回路ブロックに対しても、動作させるか否かを判定する判定回路が必要となり、判定に時間を要することや付加ハードウェアを、プロセッサ内部に必要とする。また、プロセッサの内部に、必要な回路ブロックに対応するクロックを入力するかしないかを選択する選択回路を内蔵している構成は、其の選択回路自身が常に動作していて電源電力を消費しているので、大して低消費電力化にならないという問題を生じていた。

【0004】 本発明の目的は、プロセッサ内部の付加ハードウェアが出来るだけ少なく、プロセッサの動作中に、回路ブロックの停止や其の停止の判定の動作を行うことなく、殆んど使用されない回路ブロックの動作を停止させることで、プロセッサ内の消費電力を低減した低消費電力プロセッサを実現することにある。

【0005】

【課題を解決するための手段】 この目的達成のための本発明の低消費電力プロセッサの基本構成は、図1の原理的な構成図に示す如く、プログラム処理のプロセッサ10の複数の回路ブロック1~nの別々のクロック入力CLK1

10

20

30

40

50

～CLK_nを、有効にするか無効にするかの手段（例えば各入力クロックCLK₁～CLK_nに対し、有効にする時には符号1を、無効にする時には符号0のフラグACLK₁～ACLK_nを付加する手段）を該プロセッサ10の外部に具えるように構成する。

【0006】

【作用】本発明では、図1の原理図を参照し、プログラムを処理するプロセッサ10の各回路ブロック1～nの別々のクロックCLK₁～CLK_nの入力を有効にするか無効にするかの例えばフラグ（ACLK₁～ACLK_n）を各入力クロックに付加する等の手段を、プロセッサ10の内部ではなくて、該プロセッサの外部に具えて、実現するアプリケーションプログラムの実行に不必要な回路ブロック又は殆んど使用しない回路ブロックが有った場合は、其れらの回路ブロックへのクロックCLK_iの供給を該プロセッサの外部にて付加したフラグACLK₁～ACLK_nの“1/0”により止める様にして、必要な回路ブロックのみに、外部から入力のクロックCLKを供給し、其れ以外の不必要な回路ブロックへのクロックの供給を静的に停止する。この様に、プロセッサ10の外部から入力するクロックCLK₁～CLK_nに付加したフラグACLK₁～ACLK_nの1/0により、クロックを供給したり、停止することにより、プロセッサ10の内部に、クロック供給の是非を判定したり、クロック供給を止めたり、供給したりする為の付加動作を行う回路を設けることが無くなり、実行するアプリケーションプログラムに必要な回路ブロックのみを動作させる事が出来る様になる。この様な構成によって、プロセッサ10内部で消費する電源電力を低減すると共に、該プロセッサ10の汎用性を維持することが出来る。

【0007】

【実施例】図2に本発明の実施例の低消費電力プロセッサの構成を示すブロックダイアグラムを示す。プロセッサ10が処理するプログラムを実行する複数の回路ブロックを、ALU（加減算器）、MPY（乗算器）、メモリ1、2、専用回路、I/O回路、制御回路の7つの回路ブロックとして、専用回路、MPY、メモリ1、2の4ブロックへのクロック入力を別々にCLK₁, CLK₂～CLK₄とし、ALU、I/O回路、制御回路の3つのブロックへのクロック入力を同一のCLK₀として、前記4つの回路ブロックと別のクロックとした実施例である。例えば、実現するアプリケーションプログラムが、MPYとメモリ2の2つの回路ブロックを使用しない場合には、この2つの回路ブロックに対し外部から該当のクロックCLK₂, CLK₄を入力させない、つまり無効とする事により、この2つの回路ブロックのMPYとメモリ2の動作を停止させて、プロセッサ10の消費電力を低減する。このクロック入力の有効/無効をプロセッサ10の外部で制御する事によって、其の各回路ブロックを、動作させたり、非動作としたりする方法としては、各回路ブロックへのクロック入力の有効/無効を、プロセッサ10の制御回路へ

外部から入力するフラグACLK₁, ACLK₂～ACLK₄の符号1/0を、プロセッサ10の外部で設定する方法（図3の請求項2）が挙げられる。この図3の実施例では、プロセッサ10の内部に各回路ブロックへのクロック入力の有効/無効を判定する判定回路を持つ必要が無いために、プロセッサ10の内部に付加する回路を小さくする事が出来る。また、動作を停止されている回路ブロックの出力値を決定する方法としては、該回路ブロックの内部の組合せ回路の出力を一時保持するレジスタの出力と該回路ブロックの外部の或る値の定数とを入力し、外部入力の制御用フラグにより其の一方を選択して出力する選択回路MUXの出力値を、外部入力の制御用フラグが停止フラグの時は、其の外部の或る定数値を選択し出力値として固定する方法（図4の請求3）と、前記の停止されている回路ブロックへの入力信号が、二つの入力信号1,2である場合には、其の選択回路MUXの出力値を、停止フラグにより選択される一つの入力信号1の値と同じ値とする方法（図5の請求項4）とが挙げられる。図4の実施例では或る定数値を出力するので、プロセッサ内の付加回路の構成を小さな構成で実現できる事になるし、図5の実施例では二入力信号1,2の中の一つの入力1を出力値とするので、入力値に依存した出力データを出力する事が出来ることになる。また、クロック供給が停止されて動作を停止した回路ブロックの動作を、他のクロック供給の有る回路ブロックを利用して処理する方法（請求項5）には、図6に示す様に、外部からのクロック入力の有効/無効を制御するフラグが、回路ブロック1を有効にするもの（ACLK₁）である場合（YES）には、其の回路ブロック1を動作させ、回路ブロック1に対するもの（ACLK₁）ではない場合（NO）には、該クロック入力を有効とする他の回路ブロックを使用して処理するプログラムを作成する為に、回路ブロック1へのクロック入力CLK₁に対し其の有効/無効を示すフラグACLK₁を付加する方法がある。この図6に示す様にプログラムを作成する事により、動作を停止された回路ブロックの動作を、他の回路ブロックで代理処理する事が出来る。また、クロックが供給されない回路ブロックが有る事を意識して、該回路ブロックの動作が書かれていないプログラムをそのまま実行する方法（請求項6）としては、命令プログラムのデコード出力により、或る回路ブロックが停止している事を認識した場合には、其の停止している回路ブロックへの命令プログラムを予め記憶しているROMから該プログラムを取り出して実行する方法（図7）と、マイクロプログラムを内蔵する命令デコーダ部を具えて、クロック供給の有効/無効によって動作を停止された回路ブロックの代りに、他の動作する回路ブロックを用いて、停止された回路ブロックのプログラムを処理する様に構成する方法（図8）とが挙げられる。図7に示す様に、動作を停止される回路ブロックの動作を他の回路ブロックで処理するプログラムを、プロセッサ10内に組み込ん

で置き、クロック供給が停止された時に、此のプログラムを実行する事により、回路ブロックの停止を意識していないプログラムを、変更無しで利用できる事になる。但し、図7の実施例では、停止される回路ブロックの動作を他の回路ブロックで処理する為に、新たな命令の読み出し（フェッチ）と命令のデコードの回路を必要とする。しかし、図8に示す様に、マイクロプログラム等により、他の回路ブロックでも処理できる様な手順を、命令デコーダの内部に組み込むことにより、前記の命令の読み出し（フェッチ）の動作を低減することが出来る様になる。

【0008】

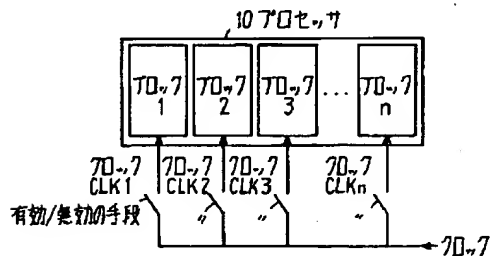
【発明の効果】以上説明した如く、本発明によれば、プログラムを処理するプロセッサの低消費電力化が可能となるので、プログラム処理のプロセッサを持ち、電池で駆動される移動無線端末やマルチメディア携帯端末などの実時間処理できる時間を、従来よりも長い時間とする効果が得られる。

【図面の簡単な説明】

【図1】 本発明の低消費電力プロセッサの基本構成を 20

【図1】

本発明の低消費電力プロセッサの基本構成を示す原理図
(請求項1に対応するもの)



示す原理図

【図2】 本発明の実施例のプロセッサの構成を示すブロックダイアグラム

【図3】 本発明の請求項2に対応する実施例のプロセッサの構成図

【図4】 本発明の請求項3に対応する実施例のプロセッサの構成図

【図5】 本発明の請求項4に対応する実施例のプロセッサの構成図

【図6】 本発明の請求項5に対応する実施例のプロセッサの処理フロー図

【図7】 本発明の請求項6に対応する実施例のプロセッサの構成図

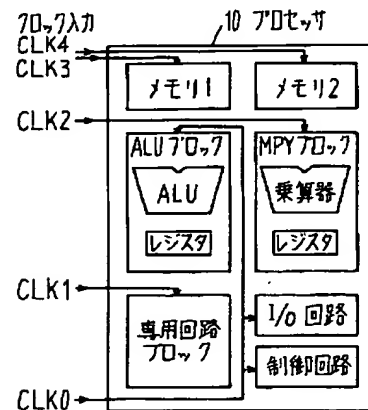
【図8】 本発明の請求項6に対応する別の実施例のプロセッサの構成図

【符号の説明】

ACLK1, ACLK2—は回路ブロック1, 回路ブロック2 —への別々のクロックCLK1, CLK2—を有効にするか無効にするかを符号 1/0で定める制御用フラグである。

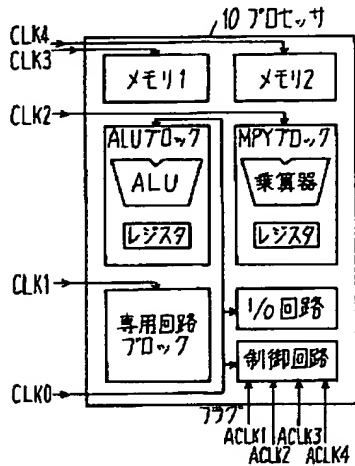
【図2】

本発明の実施例のプロセッサの構成を示すブロックダイアグラム



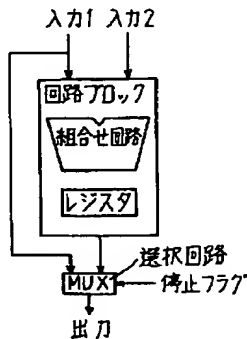
【図 3】

本発明の請求項 2 に対応する実施例のプロセッサの構成図
(7ブロック入力の有効/無効を外部入力の制御フラグで
設定するプロセッサの例)



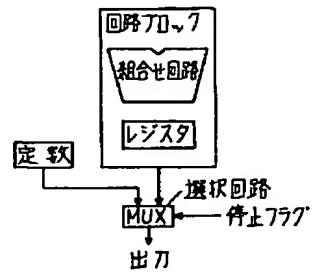
【図 5】

本発明の請求項 4 に対応する実施例のプロセッサの構成図
(7ブロック供給を停止された回路ブロックの出力の値を二入力の中
の一つと同じ値とするプロセッサの例)



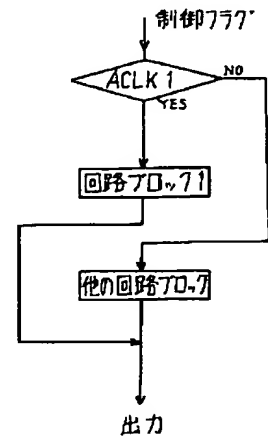
【図 4】

本発明の請求項 3 に対応する実施例のプロセッサの構成図
(7ブロック供給を停止された回路ブロックの出力の値を定数値とする
プロセッサの例)



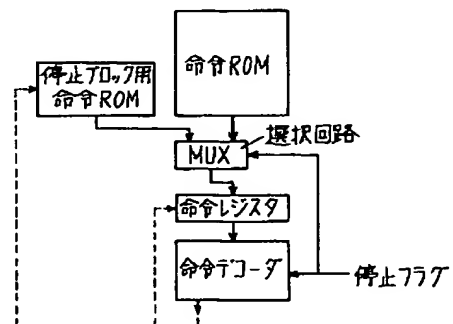
【図 6】

本発明の請求項 5 に対応する実施例のプロセッサの処理フロー図
(停止された回路ブロックの処理分を他の回路ブロックで処理する
プログラムのフロー図)



【図 7】

本発明の請求項 6 に対応する実施例のプロセッサの構成図
(停止された回路ブロックの処理分を他の回路ブロックで処理する
プロセッサの例)



【図8】

本発明の請求項6に対応する別の実施例のプロセッサの構成図
(停止された回路ブロックの処理分を他の回路ブロックで処理する
ことを命令デコーダ自身で指示できるプロセッサの例)

